

Electronic circuit and semiconductor memory

Publication number: CN1404147 (A)

Publication date: 2003-03-19

Inventor(s): ATSUSHI UCHIYAMA [JP]; TOSHIMASA NAMEKAWA [JP]

+
Applicant(s): TOSHIBA KK [JP] +

Classification:

- International: G11C11/407; G11C5/14; G11C7/22; G11C8/08; G11C8/10;
 G11C11/4076; G11C11/408; H03K19/003; H03K19/0175;
 H03K5/00; G11C5/14; G11C7/00; G11C8/00; G11C11/407;
 G11C11/408; H03K19/003; H03K19/0175; H03K5/00; (IPC1-
 7): H01L27/00; G11C11/34

- European: G11C7/22; G11C8/08; G11C8/10; G11C11/4076;
 G11C11/408B; G11C11/408D; H03K19/003D; H03K19/003K

Application number: CN20021041423 20020830

Priority number(s): JP20010261160 20010830

Also published as:

CN1228848 (C)

US2003042955 (A1)

US6721213 (B2)

TW569212 (B)

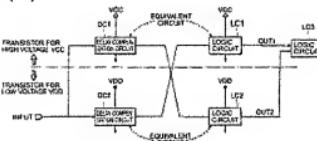
KR20030019188 (A)

more >>

Abstract not available for CN 1404147 (A)

Abstract of corresponding document: US 2003042955 (A1)

An electronic circuit according to this invention includes a first delay compensation circuit which receives a first power supply voltage and a first signal and outputs a first output signal delayed by a first predetermined time, a second delay compensation circuit which receives a second power supply voltage and the first signal and outputs a second output signal delayed by a second predetermined time, a first logic circuit which receives the first power supply voltage and the second output signal output from the second delay compensation circuit and outputs a first operation result by performing first logic operation, and a second logic circuit which receives the second power supply voltage and the first output signal output from the first delay compensation circuit and outputs a second operation result by performing second logic operation.

Data supplied from the **espacenet** database — Worldwide



[12] 发明专利申请公开说明书

[21] 申请号 02141423.8

[43] 公开日 2003 年 3 月 19 日

[11] 公开号 CN 1404147A

[22] 申请日 2002.8.30 [21] 申请号 02141423.8

[30] 优先权

[32] 2001.8.30 [33] JP [31] 261160/2001

[71] 申请人 株式会社东芝

地址 日本东京都

[72] 发明人 中山笃 行川敏正

[74] 专利代理机构 中国国际贸易促进委员会专利
商标事务所

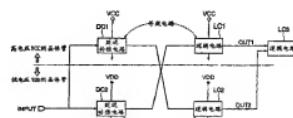
代理人 王永刚

权利要求书 9 页 说明书 22 页 附图 15 页

[54] 发明名称 电子电路以及半导体存储装置

[57] 摘要

采用本发明的电子电路包含：第 1 延迟补偿电路，被提供第 1 电源电压，被输入第 1 信号，输出延迟了第 1 规定时间的第 1 输出信号；第 2 延迟补偿电路，被提供第 2 电源电压，被输入第 1 信号，输出延迟了第 2 规定时间的第 2 输出信号；第 1 逻辑电路，被提供第 1 电源电压，给予从上述第 2 延迟补偿电路输出的上述第 2 输出信号，进行第 1 逻辑运算输出第 1 逻辑结果；第 2 逻辑电路，被提供第 2 电源电压，给予从上述第 1 延迟补偿电路输出的上述第 1 输出信号，进行第 2 逻辑运算输出第 2 逻辑运算结果。



1、电子电路，包含：

第1延迟补偿电路，被提供第1电源电压，被输入第1信号，输出延迟了第1规定时间的第1输出信号；

第2延迟补偿电路，被提供第2电源电压，被输入第1信号，输出延迟了第2规定时间的第2输出信号；

第1逻辑电路，被提供上述第1电源电压，给予从上述第2延迟补偿电路输出的上述第2输出信号，进行第1逻辑运算输出第1运算结果；

第2逻辑电路，被提供上述第2电源电压，给予从上述第1延迟补偿电路输出的上述第1输出信号，进行第2逻辑运算输出第2逻辑运算结果。

2、权利要求1所述的电子电路，

上述第1电源电压比上述第2电源电压高，

上述第1输入信号，在高电平时是和上述第2电源电压相同的电位，

上述电子电路还包含：

第1升压电路，被给予上述第1输入信号，把高电平时的上述第2电源电压升压为上述第1电源电压后给予上述第1延迟补偿电路；

第2升压电路，被给予从上述第2延迟补偿电路输出的、在高电平时作为和上述第2电源电压相同电平的上述第2输出信号，把高电平时的上述第2电源电压升压为上述第1电源电压后给予上述第1逻辑电路。

3、权利要求1所述的电子电路，

上述第1延迟补偿电路被输入N位地址，并对应于N位具有多个第1运算元件，每个第1运算元件被输入该地址中的1位地址和上述第1电源电压后进行AND运算并加以输出，其中N为不小于1的整数，

上述第 2 延迟补偿电路被输入 N 位地址，并对应于 N 位具有多个第 2 运算元件，每个第 2 运算元件被输入该地址中的 1 位地址和上述第 2 电源电压后进行 AND 运算并加以输出，其中 N 为不小于 1 的整数，

上述第 1 逻辑电路对应于 N 位具有多个第 3 运算元件，每个第 3 运算元件被输入从上述第 2 延迟补偿电路输出的 N 位信号中的 2 个反转或非反转的信号后进行 AND 运算并加以输出，

上述第 2 逻辑电路对应于 N 位具有多个第 4 运算单元，每个第 4 运算元件被输入从上述第 1 延迟补偿电路输出的 N 位信号中的 2 个反转或非反转的信号后进行 AND 运算并加以输出。

4、权利要求 1 所述的电子电路，

上述第 1 延迟补偿电路，具备具有和上述第 1 逻辑电路大致相同的信号延迟的电气等效电路构成，

上述第 2 延迟补偿电路，具备具有和上述第 2 逻辑电路大致相同的信号延迟的电气等效电路构成。

5、权利要求 1 所述的电子电路，上述第 1 信号，是用于使上述第 1 逻辑电路的上述第 1 逻辑运算和上述第 2 逻辑电路的上述第 2 逻辑运算同步的定时信号。

6、一种电子电路，包含：

第 1 延迟补偿电路，包含被提供第 1 电源电压，具有第 1 特性的晶体管，且被输入第 1 信号，输出延迟了第 1 规定时间的第 1 输出信号；

第 2 延迟补偿电路，包含被提供第 2 电源电压，具有第 2 特性的晶体管，且被输入上述第 1 信号，输出延迟了第 2 规定时间的第 2 输出信号；

第 1 逻辑电路，被提供上述第 1 电源电压，给予从上述第 2 延迟补偿电路输出的上述第 2 输出信号，进行第 1 逻辑运算并输出第 1 运算结果；

第 2 逻辑电路，被提供上述第 2 电源电压，给予从上述第 1 延迟

补偿电路输出的上述第 1 输出信号，进行第 2 逻辑运算输出第 2 运算结果。

7、权利要求 6 所述的电子电路，

上述第 1 电源电压比上述第 2 电源电压高，

上述第 1 输入信号，在高电平时是和上述第 2 电源电压相同的电位，

上述电子电路还包含：

第 1 升压电路，被给予上述第 1 输入信号，把高电平时的上述第 2 电源电压升压为上述第 1 电源电压后给予上述第 1 延迟补偿电路；

第 2 升压电路，被给予从上述第 2 延迟补偿电路输出的、在高电平时作为和上述第 2 电源电压相同电平的上述第 2 输出信号，把高电平时的上述第 2 电源电压升压为上述第 1 电源电压后给予上述第 1 逻辑电路。

8、权利要求 6 所述的电子电路，

上述第 1 延迟补偿电路被输入 N 位地址，并对应于 N 位具有多个第 1 运算元件，每个第 1 运算元件被输入该地址中的 1 位地址和上述第 1 电源电压后进行 AND 运算并加以输出，其中 N 为不小于 1 的整数，

上述第 2 延迟补偿电路被输入 N 位地址，并对应于 N 位具有多个第 2 运算元件，每个第 2 运算元件被输入该地址中的 1 位地址和上述第 2 电源电压后进行 AND 运算并加以输出，其中 N 为不小于 1 的整数，

上述第 1 逻辑电路对应于 N 位具有多个第 3 运算元件，每个第 3 运算元件被输入从上述第 2 延迟补偿电路输出的 N 位信号中的 2 个反转或非反转的信号后进行 AND 运算并加以输出，

上述第 2 逻辑电路对应于 N 位具有多个第 4 运算单元，每个第 4 运算元件被输入从上述第 1 延迟补偿电路输出的 N 位信号中的 2 个反转或非反转的信号后进行 AND 运算并加以输出。

9、权利要求 6 所述的电子电路，

上述第 1 延迟补偿电路，具备具有和上述第 1 逻辑电路大致相同的信号延迟的电气等效电路构成，

上述第 2 延迟补偿电路，具备具有和上述第 2 逻辑电路大致相同的信号延迟的电气等效电路构成。

10、权利要求 6 所述的电子电路，上述第 1 信号，是用于使上述第 1 逻辑电路的上述第 1 逻辑运算和上述第 2 逻辑电路的上述第 2 逻辑运算同步的定时信号。

11、一种电子电路，包含：

第 1 电平移位器，被输入在高电平时具有第 2 电压的第 1 信号，把该第 2 电压升压为第 1 电压后输出上述第 1 信号；

第 1 延迟补偿电路，被提供具有上述第 1 电压的第 1 电源电压，给予从上述第 1 电平移位器输出的上述第 1 信号，输出延迟了第 1 规定时间的第 1 输出信号；

第 2 电平移位器，给予在从上述第 1 延迟补偿电路输出的是高电平时具有上述第 1 电压的上述第 1 输出信号，把该第 1 电压降压为上述第 2 电压后输出上述第 1 输出信号；

第 2 延迟补偿电路，被提供上述第 2 电源电压，在高电平时被输入具有上述第 2 电压的上述第 1 信号，输出延迟了第 2 规定时间的第 2 输出信号；

第 3 电平移位器，给予从上述第 2 延迟补偿电路输出的上述第 2 输出信号，把该第 2 输出信号是高电平时的上述第 2 电压升压为上述第 1 电压；

第 1 逻辑电路，被提供上述第 1 电源电压，给予从上述第 3 电平移位器输出的上述第 2 输出信号，进行第 1 逻辑动作后输出第 1 运算结果；

第 2 逻辑电路，被提供具有上述第 2 电压的第 2 电源电压，给予从上述第 2 电平移位器输出的上述第 1 输出信号，进行第 2 逻辑动作后输出第 2 运算结果。

12、权利要求 11 所述的电子电路，

上述第 1 延迟补偿电路被输入 N 位地址，并对应于 N 位具有多个第 1 运算元件，每个第 1 运算元件被输入该地址中的 1 位地址和上述第 1 电源电压后进行 AND 运算并加以输出，其中 N 为不小于 1 的整数，

上述第 2 延迟补偿电路被输入 N 位地址，并对应于 N 位具有多个第 2 运算元件，每个第 2 运算元件被输入该地址中的 1 位地址和上述第 2 电源电压后进行 AND 运算并加以输出，其中 N 为不小于 1 的整数，

上述第 1 逻辑电路对应于 N 位具有多个第 3 运算元件，每个第 3 运算元件被输入从上述第 2 延迟补偿电路输出的 N 位信号中的 2 个反转或非反转的信号后进行 AND 运算并加以输出，

上述第 2 逻辑电路对应于 N 位具有多个第 4 运算单元，每个第 4 运算元件被输入从上述第 1 延迟补偿电路输出的 N 位信号中的 2 个反转或非反转的信号后进行 AND 运算并加以输出。

13、权利要求 11 所述的电子电路，

上述第 1 延迟补偿电路，具备具有和上述第 1 逻辑电路大致相同的信号延迟的电气等效电路构成，

上述第 2 延迟补偿电路，具备具有和上述第 2 逻辑电路大致相同的信号延迟的电气等效电路构成。

14、权利要求 11 所述的电子电路，上述第 1 信号，是用于使上述第 1 逻辑电路的上述第 1 逻辑运算和上述第 2 逻辑电路的上述第 2 逻辑运算同步的定时信号。

15、一种半导体存储装置，包含：

存储器单元阵列，在多条位线上连接多个存储器单元；
列选择门电路，被设置在各个上述位线上，选择上述位线；
列译码器，生成选择驱动上述列选择门电路的列选择信号；
数据缓冲器，被设置在各个上述列选择门电路上，给予从对应的上述列选择门电路输出的数据，放大并输出；
数据缓冲器控制逻辑电路，生成选择驱动上述数据缓冲器的数据

缓冲器驱动信号；

第1延迟补偿电路，被提供第1电源电压，被输入定时信号，把延迟了第1规定时间的第1输出信号输出到上述数据缓冲器控制逻辑电路；

第2延迟补偿电路，被提供第2电源电压，被输入上述定时信号，把延迟了第2规定时间的第2输出信号输出到上述列译码器。

16、权利要求15所述的半导体存储装置，

上述列译码器，具有被输入列地址，根据上述定时信号进行译码生成上述列选择信号的构成，

上述第1延迟补偿电路，具有代替上述列地址被输入上述第1电源电压，根据上述定时信号进行译码输出到上述数据缓冲器控制逻辑电路的构成；

上述数据缓冲器控制逻辑电路，具有被输入了输出控制信号，并保持输出的第1锁存电路，和被给予从上述第1锁存电路输出的上述输出控制信号和上述定时信号，进行AND运算输出上述数据缓冲器驱动信号的第1运算元件；

上述第2延迟补偿电路，具有代替上述输出控制信号输入上述第2电源电压，并保持输出的第2锁存电路，和被给予从上述第2锁存电路输出的上述第2电源电压和上述定时信号，进行AND运算输出到上述列译码器的第2运算元件。

17、权利要求15所述的半导体存储装置，

上述第1延迟补偿电路，具备具有和上述列译码器大致相同的信号延迟的电气等效电路构成，

上述第2延迟补偿电路，具备具有和上述数据缓冲器控制逻辑电路大致相同的信号延迟的电气等效电路构成。

18、一种半导体存储装置，包含：

存储器单元阵列，在多条位线上连接多个存储器单元；

列选择门电路，被设置在各个上述位线上，选择上述位线；

列译码器，生成选择驱动上述列选择门电路的列选择信号；

数据缓冲器，被设置在各个上述列选择门电路上，给予从对应的上述列选择门电路输出的数据，放大并输出；

数据缓冲器控制逻辑电路，生成选择驱动上述数据缓冲器的数据缓冲器驱动信号；

第1电平移位器，被输入在高电平时具有第2电压的定时信号，把该第2电压升压为第1电压后输出上述定时信号；

第1延迟补偿电路，被提供具有上述第1电压的第1电源电压，给予从上述第1电平移位器输出的上述定时信号，输出延迟了第1规定时间的第1输出信号；

第2电平移位器，给予在从上述第1延迟补偿电路输出的高电平时具有上述第1电压的上述第1输出信号，把该第1电压降压为上述第2电压，把上述第1输出信号输出到上述数据缓冲器控制逻辑电路；

第2延迟补偿电路，被提供第2电源电压，被输入在高电平时具有上述第2电压的上述定时信号，输出延迟了第2规定时间的第2输出信号；

第3电平移位器，被给予从上述第2延迟补偿电路输出的上述第2输出信号，把在该第2输出信号是高电平时的上述第2电压升压为上述第1电压，并输出到上述列译码器。

19、权利要求18所述的半导体存储装置，

上述列译码器，具有被输入列地址，根据上述定时信号进行译码生成上述列选择信号的构成，

上述第1延迟补偿电路，具有代替上述列地址被输入上述第1电源电压，根据上述定时信号进行译码后输出到上述数据缓冲器控制逻辑电路的构成；

上述数据缓冲器控制逻辑电路，具有被输入了输出控制信号，并保持输入的第1锁存电路，和被给予从上述第1锁存电路输出的上述输出控制信号和上述定时信号，进行AND运算后输出上述数据缓冲器驱动信号的第1运算元件；

上述第2延迟补偿电路，具有代替上述输出控制信号输入上述第

2 电源电压，并保持输出的第 2 锁存电路，和被给予从上述第 2 锁存电路输出的上述第 2 电源电压和上述定时信号，进行 AND 运算后输出到上述列译码器的第 2 运算元件。

20、权利要求 18 所述的半导体存储装置，

上述第 1 延迟补偿电路，具备具有和上述列译码器大致相同的信号延迟的电气等效电路构成，

上述第 2 延迟补偿电路，具备具有和上述数据缓冲器控制逻辑电路大致相同信号延迟的电气等效电路构成。

21、一种半导体存储装置，包含：

存储器单元阵列，在多条字线和与该字线正交的多条位线的交点上连接有多个存储器单元；

行译码器，生成选择驱动上述字线的字线选择信号；

读出放大器，被设置在各个上述位线的每条上，检测并输出从对应的上述位线输出的数据；

读出放大器控制电路，生成选择驱动上述读出放大器的读出放大器驱动信号；

第 1 电平移位器，被输入在高电平时具有第 2 电压的定时信号，把该第 2 电压升压为第 1 电压后输出上述定时信号；

第 1 延迟补偿电路，被提供具有上述第 1 电压的第 1 电源电压，给予从上述第 1 电平移位器输出的上述定时信号，输出延迟了第 1 规定时间的第 1 输出信号；

第 2 电平移位器，被给予在从上述第 1 延迟补偿电路输出的高电平时具有上述第 1 电压的上述第 1 输出信号，把该第 1 电压降压为上述第 2 电压，把上述第 1 输出信号输出到上述读出放大器控制电路；

第 2 延迟补偿电路，被提供上述第 2 电源电压，被输入在高电平时具有上述第 2 电压的上述定时信号，输出延迟了第 2 规定时间的第 2 输出信号；

第 3 电平移位器，被给予从上述第 2 延迟补偿电路输出的上述第 2 输出信号，把在该第 2 输出信号是高电平时的上述第 2 电压升压为

上述第 1 电压，输出到上述行译码器。

22、权利要求 21 所述的半导体存储装置，

上述行译码器，具有被输入行地址，根据上述定时信号进行译码生成上述字线选择信号的构成，

上述第 1 延迟补偿电路，具有代替上述行地址输入规定的电压，根据上述定时信号进行译码后输出到上述第 2 电平移位器的构成；

上述读出放大器驱动电路，具有被输入读出放大器激活信号，并保持输出的第 1 锁存电路，和被给予从上述第 1 锁存电路输出的上述读出放大器激活信号和上述定时信号，进行 AND 运算后输出上述读出放大器驱动信号的第 1 运算元件；

上述第 2 延迟补偿电路，具有代替上述读出放大器激活信号被输入上述第 2 电源电压，并保持输出的第 2 锁存电路，和被给予从上述第 2 锁存电路输出的上述第 2 电源电压和上述定时信号，进行 AND 运算后输出到上述第 3 电平移位器的第 2 运算元件。

23、权利要求 21 所述的半导体存储装置，

上述第 1 延迟补偿电路，具备具有和上述行译码器大致相同的信号延迟的电气等效电路构成，

上述第 2 延迟补偿电路，具备具有和上述读出放大器控制电路大致相同的信号延迟的电气等效电路构成。

电子电路以及半导体存储装置

技术领域

本发明涉及电子电路以及半导体存储装置。

背景技术

近年，半导体电路的高集成化进步，谋求半导体装置的高功能化、小面积化、高速化、低功耗化等的高性能化。这种进步，得宜于MOS晶体管的微细化。

可是，为了使MOS晶体管微细化，需要电源的低电压化。这是因为可以使MOS晶体管的栅极氧化膜薄膜化，可以抑制MOS晶体管的短沟道效应的缘故。但是，在该低压用MOS晶体管中，存在不能与高电压的电源和信号线连接的问题。

此外，在芯片内部存在使电源电压下降的不适当的电路。例如，掌管和芯片外部的信号线输入输出的I/O单元，和在模拟电路、DRAM等的半导体存储装置中存储单元的选择门电路等相当的这种电路。

因而，采用对1个芯片提供多种电源电压这种方法。此外最近，一般是把高电压用和低电压用的多种晶体管形成在同一芯片上，使各个晶体管最佳化，目的是提高特性。

在此，高电压用晶体管，与低电压用晶体管相比微细化困难，在面积、高速性、消耗电力上有不利的方面。在I/O单元和模拟电路等中，一律提供高电源电压，进而通过使用高电压用晶体管，可以减轻设计工作，但在面积和高速性、消耗电力等中，必须容许包容这些不利方面。为了提高这种电路的高性能化，需要只对所需要的部分提供高电源电压使用高电压用晶体管，向控制电路和高速信号路径提供低电源电压使用低电压用晶体管这种极其细致的设计。

此时产生的问题之一是，使在高电压电路和低电压电路之间与动

作速度等有关的电路特性相互一致。

在使用多电源电压的情况下，作为与本发明有关的方法，有从由外部提供的一个电源电压，根据需要在内部生成另一电源电压的方法。这主要是在半导体存储装置中使用的技术。该方法的优点是，可以控制使在内部生成的电源电压依赖于来自外部的电源电压，可以抑制由于多个电源电压独立变动产生的电路特性的不匹配。但是，在该方法中，存在内部电源电路的面积大，阻碍高集成化的不利一面。进而，在该方法中，即使电源电压的独立变化可以抑制，也不能对应多种晶体管特性因工艺变动等引起各自独立变动产生的电路特性的不匹配。

在和上述本发明相关的方法中，不能在不妨碍高速化的前提下消除在从外部提供多个电源电压分别动作的电路中产生的不匹配，或者多个晶体管特性独立变化产生的不匹配。

发明内容

根据本发明的一方面提供一种电子电路，具备：第1延迟补偿电路，被提供第1电源电压，被输入第1信号，输出延迟第1规定时间的第1输出信号；第2延迟补偿电路，被提供第2电源电压，被输入第1信号，输出延迟第2规定时间的第2输出信号；第1逻辑电路，被提供第1电源电压，给予从上述第2延迟补偿电路输出的上述第2输出信号，进行第1逻辑运算输出第1逻辑运算结果；第2逻辑电路，被提供第2电源电压，给予从上述第1延迟补偿电路输出的上述第1输出信号，进行第2逻辑运算输出第2逻辑运算结果。

根据本发明的另一方面，其特征在于具备：第1延迟补偿电路，包含被提供第1电源电压，具有第1特性的晶体管，被输入第1信号，输出延迟第1规定时间的第1输出信号；第2延迟补偿电路，包含被提供第2电源电压，具有第2特性的晶体管，输入第1信号，输出延迟第2规定时间的第2输出信号；第1逻辑电路，被提供上述第1电源电压，给予从上述第2延迟补偿电路输出的上述第2输出信号，进行第1逻辑运算输出第1运算结果；第2逻辑电路，被提供上述第2

电源电压，给予从上述第1延迟补偿电路输出的上述第1输出信号，进行第2逻辑运算输出第2运算结果。

根据本发明的另一方面，提供一种电子电路，包含：第1电平移位器，在高电平使被输入具有第2电压的第1信号，使该第2电压上升到第1电压输出上述第1信号；第1延迟补偿电路，被提供具有上述第1电压的第1电源电压，给予从上述第1电平移位器输出的上述第1信号，输出延迟第1规定时间的第1输出信号；第2电平移位器，在从上述第1延迟补偿电路输出高电平时给予具有上述第1电压的上述第1输出信号，把该第1电压降低为上述第2电压输出上述第1输出信号；第2延迟补偿电路，被提供上述第2电源电压，在高电平时输入具有上述第2电压的上述第1信号，输出延迟第2规定时间的第2输出信号；第3电平移位器，被给予从上述第2延迟补偿电路输出的上述第2输出信号，把该第2输出信号是高电平时的上述第2电压升高为上述第1电压；第1逻辑电路，被提供上述第1电源电压，给予从上述第3电平移位器输出的上述第2输出信号，进行第1逻辑动作输出第1计算结果；第2逻辑电路，被提供具有上述第2电压的第2电源电压，给予从上述第2电平移位器输出的上述第1输出信号，进行第2逻辑动作输出第2运算结果。

根据本发明的另一方面，提供一种半导体存储装置，包含：存储单元阵列，在多条位线上连接多个存储单元；行选择栅，被设置在各条上述位线上，选择上述位线；列译码器，生成有选择地驱动上述列选择门电路的列选择信号；数据缓冲器，被设置在各上述列选择门电路的每个上，给予从对应的上述列选择门电路输出的数据，并放大输出；数据缓冲器控制逻辑电路，生成有选择地驱动上述数据缓冲器的数据缓冲器驱动信号；第1延迟补偿电路，被提供第1电源电压，被输入定时信号，把延迟第1规定时间的第1输出信号输出到上述数据缓冲器控制逻辑电路；第2延迟补偿电路，被提供第2电源电压，被输入定时信号，把延迟第2规定时间的第2输出信号输出到上述列译码器。

根据本发明的另一方面，提供一种半导体存储装置，包含：存储单元阵列，在多条位线上连接多个存储单元；列选择栅，被设置在各条上述位线上，选择上述位线；列译码器，生成有选择地驱动上述列选择门电路的列选择信号；数据缓冲器，被设置在各上述列选择门电路的每个上，给予从对应的上述列选择门电路输出的数据，并放大输出；数据缓冲器控制逻辑电路，生成有选择地驱动上述数据缓冲器的数据缓冲器驱动信号；第1电平移位器，在高电平时被输入具有第2电压的定时信号，把该第2电压升压为第1电压输出上述定时信号；第1延迟补偿电路，被提供具有上述第1电压的第1电源电压，给予从上述第1电平移位器输出的上述定时信号，输出延迟第1规定时间的第1输出信号；第2电平移位器，在从上述第1延迟补偿电路输出的是高电平时，给予具有上述第1电压的上述第1输出信号，把该第1电压降压到上述第2电压，把上述第1输出信号输出到上述数据缓冲器控制逻辑电路；第2延迟补偿电路，被提供上述第2电源电压，在高电平时输入具有上述第2电压的上述定时信号，输出延迟第2规定时间的第2输出信号；第3电平移位器，被给予从上述第2延迟补偿电路输出的上述第2输出信号，把在该第2输出信号是高电平时的上述第2电压升压为上述第1电压，输出到上述列译码。

根据本发明的另一方面，提供一种半导体存储装置，具备：存储器阵列，在多条字线和与该字线正交的多条位线的交点上连接多个存储器单元；行译码器，生成选择驱动上述字线的字线选择信号；读出放大器，被设置在少数位线的每一条上，检测从对应的上述位线输出的数据并输出；读出放大器控制电路，生成选择驱动上述读出放大器的读出放大器驱动信号；第1电平移位器，在高电平时被输入具有第2电压的定时信号，把该第2电压升压为第1电压并输出上述定时信号；第1延迟补偿电路，被提供具有上述第1电压的第1电源电压，给予从上述第1电平移位器输出的上述定时信号，输出延迟第1规定时间的第1输出信号；第2电平移位器，在从上述第1延迟补偿电路输出的是高电平时给予具有上述第1电压的上述第1输出信号，把该

第 1 电压降压为上述第 2 电压，把上述第 1 输出信号输出到上述读出放大器控制电路；第 2 延迟补偿电路，被提供上述第 2 电源电压，在高电平时输入具有上述第 2 电压的上述定时信号，输出延迟第 2 规定时间的第 2 输出信号；第 3 电平移位器，被给予从上述第 2 延迟补偿电路输出的上述第 2 输出信号，把在该第 2 输出信号是高电平时的上述第 2 电压升压为上述第 1 电压，输出到上述行译码。

附图说明

图 1 是展示本发明的实施方式 1 的电子电路的构成的方框图。

图 2 是展示本发明的实施方式 2 的电子电路的构成的方框图。

图 3 是展示本发明的实施方式 3 的电子电路的构成的方框图。

图 4A、4B、4C、4D，是展示和本发明有关的半导体存储装置中的由二个信号的延迟产生的相位偏移的说明图。

图 5A、5B 以及 5C，是展示上述第 2 或者第 3 实施方式的半导体存储装置中的信号延迟特性的说明图。

图 6 是展示本发明的实施方式 4 的半导体存储装置的构成的电路图。

图 7A、7B、7C、7D、7E、7F，是展示在半导体存储装置中的理想状态下的信号波形变化的时序图。

图 8A、8B、8C、8E 以及 8F，展示和本发明有关的半导体存储装置中的信号波形变化的时序图。

图 9A、9B、9C、9D、9E 以及 9F，是展示上述实施方式 4 的半导体装置中的信号波形变化的时序图。

图 10 是展示本发明的实施方式 5 的半导体存储装置的构成的电路图。

图 11 是展示本发明的实施方式 6 的半导体存储装置的构成的电路图。

图 12A、12B、12C，是展示实施方式 6 的半导体存储装置中的信号波形变化的时序图。

延迟补偿电路 DC1，被提供电源电压 VCC，在被给予输入信号 INPUT 并只延迟第 1 延迟时间后，输出到逻辑电路 LC2。延迟补偿电路 DC2，被提供电源电压 VDD，在被给予输入信号 INPUT 并只延迟第 2 延迟时间后，输出到逻辑电路 LC1。

在此，延迟补偿电路 DC1，由被提供和逻辑电路 LC1 同样的电源电压 VCC 进行动作，并且由具有和构成逻辑电路 LC1 的晶体管同样特性的晶体管构成。延迟补偿电路 DC2，由被提供和逻辑电路 LC2 同样的电源电压 VDD 进行动作，并且由具有和构成逻辑电路 LC2 的晶体管同样特性的晶体管构成。

通过这样构成，来自逻辑电路 LC1 的输出信号 OUT1，和来自逻辑电路 LC2 的输出信号 OUT2，都具有依赖于电源电压 VCC 以及 VDD 的延迟特性。即，即使在电源电压 VCC、VDD 相互独立变动的情况下，输出信号 OUT1、OUT2 都只延迟同一时间。

此外，信号 OUT1、OUT2 的延迟都依赖于构成逻辑电路 LC1 以及 LC2 的各自晶体管的特性。由此，即使由于制造工艺等的变动逻辑电路 LC1、LC2 的某一晶体管的特性独立变动的情况下，输出信号 OUT1、OUT2 也只延迟同一时间。

其结果，抵消相互独立变动的电源电压 VCC、VDD 的影响，此外相互独立地因制造工艺等变动得到的逻辑电路 LC1、LC2 的晶体管特性的影响波及输出信号 OUT1、OUT2 的现象，防止通过给予信号 OUT1、OUT2 的输出而动作的后段的逻辑电路 LC3 产生误动作，可以实现电路动作的稳定化以及高速化。

如上所述，如果采用本实施方式，则向分别提供 2 种电源电压 VCC、VDD 动作的逻辑电路 LC1、LC2 的输入方，分别提供电源电压 VCC、VDD，此外插入分别包含具有和构成逻辑电路 LC2、LC1 的晶体管具有同样特性的晶体管的延迟补偿电路 DC2、DC1。由此，因为抵消相互独立变动得到的电源电压 VCC、VDD 的变动、晶体管特性的变动的影响，来自逻辑电路 LC1、LC2 的输出都受电源电压 VCC、VDD 的影响，或者都受逻辑电路 LC1、LC2 的晶体管特性的

图 13 是展示用低电压用晶体管构成的 CMOS-DRAM 单元阵列构成的电路图。

图 14 是展示本发明的实施方式 7 的半导体存储装置的构成的电路图。

图 15A、15B 以及 15C，是展示实施方式 7 的半导体存储装置中的信号波形变化的时序图。

具体实施方式

以下，参照附图说明本发明的实施方式。

（1）实施方式 1

用图 1 说明本发明的实施方式 1 的电子电路。

本实施方式具有被分别提供不同的电源电压 VCC、VDD（假设 $VCC > VDD$ ）进行动作的逻辑电路 LC1、LC2、LC3。

逻辑电路 LC1，被提供电源电压 VCC，并被给予输入信号 INPUT 进行逻辑运算，作为其结果输出信号 OUT1。逻辑电路 LC2，被提供电源电压 VDD，并给予同样的输入信号 INPUT 进行逻辑运算输出信号 OUT2。在此，输入信号 INPUT，是用于使逻辑电路 LC1、LC2 各自的逻辑运算同步的信号，例如与时钟等的定时信号相当。逻辑电路 LC3，在高电平时被给予和电源电压 VCC 相同电平的信号 OUT1，和在高电平时被给予和电源电压 VDD 相同电平的信号 OUT2，进行逻辑运算。

在逻辑电路 LC1 中的电路动作中产生的延迟时间，依赖于电源电压 VCC 的电压变动，还依赖于构成该电路 LC1 的晶体管的特性。此外由于逻辑电路 LC2 中的电路动作产生的延迟时间，依赖于电源电压 VDD 的电压变动，还依赖于构成该电路 LC2 的晶体管的特性。

因而，在本实施方式中，设置具有和逻辑电路 LC1 具有大致相同的信号延迟的电气等效的电路构成的延迟补偿电路 DC1，和具有和逻辑电路 LC2 具有大致相同的信号延迟的电气等效的电路构成的延迟补偿电路 DC2。

影响而延迟，所以可以防止分别被连接在后段上的电路的误动作，可以谋求动作的稳定化并且高速化。

(2) 实施方式 2

用图 2 说明本发明的实施方式 2 的半导体存储装置。

本实施方式，相当于把上述实施方式 1 适用于 DRAM(动态随机存取存储器) 的方式。在此，在上述实施方式 1 中的逻辑电路 LC1 与列译码器 CD 对应，被提供电源电压 VCC，并被给予时钟 CLKCp 生成输出列选择信号 CSL。逻辑电路 LC2 与 DQ 控制逻辑电路 DQCL 对应，被提供电源电压 VDD (VCC > VDD)，并给予时钟 CLKCp 生成输出数据缓冲器驱动信号 QSE。逻辑电路 LC3，与包含列选择门电路、数据缓冲器的电路对应。此外，列译码器 CD、DQ 控制逻辑电路 DQCL，构成各自的晶体管特性不同，假设可以用制造工艺等独立变动。

列译码器 CD 输出的列选择信号 CSL，是用于在规定时间，选择与未图示的存储器单元的输出方连接的位线与数据线连接的脉冲状的信号，高电平时的电压和电源电压 VCC 是同样电平。

而后，在列选择译码器 CD 的输入一侧，串联插入延迟补偿电路 DC2、CSL 脉冲发生器 CSLPG、VDD/VCC 电平移位器 LS3。

另一方面，DQ 控制逻辑电路 DQCL 输出的数据缓冲器驱动信号 QSE，是用于在规定时间、选择驱动被设置在数据线上的数据缓冲器的脉冲状的信号，高电平时的电压是和电源电压 VDD 相同的电平。

在 DQ 控制逻辑电路 DQCL 的输入方，串联插入 VDD/VCC 电平移位器 LS1、延迟补偿电路 DC1、VCC/VDD 电平移位器 LS2、DQ 脉冲发生器 DQPG。

在 VDD/VCC 电平移位器 LS1 中输入时钟 CLKCp，而该时钟 CLKCp 在高电平时具有和电源电压 VDD 相同的电平。因而，用 VDD/VCC 电平移位器 LS1 移位高电平时的电压，使得变为和电源电压 VCC 同样的电平。

延迟补偿电路 DC1 的构成是，被提供电源电压 VCC，具备具有

和列译码器 CD 大致相同的延迟特性的电气等效电路，此外包含具有和列译码器 CD 同等特性的晶体管。因而，从延迟补偿电路 DC1 输出的时钟 CLKCp，受电源电压 VCC 变动的影响，或者和构成列译码器 CD 的晶体管同样的制造工艺等的变动影响而延迟。

VCC/VDD 电平移位器 LS2，把从延迟补偿电路 DC1 输出的在时钟 CLKCp 中的高电平时的电压，从电源电压 VCC 电平移位到电源电压 VDD 电平。

DQ 脉冲发生器 DQPG 被提供电源电压 VDD，检测到从电平移位器 LS2 输出的在时钟 CLKCp 中的上升边后变为高电平，在经过比时钟 CLKCp 的脉冲宽度短的规定时间后，输出恢复到低电平的信号。由于使用该信号，在 DQ 控制逻辑电路 DQCL 中，不受时钟 CLKCp 的脉冲宽度变动的影响，可以正确地实现与上升边同步的动作。

来自该 DQ 脉冲发生器 DQPG 的输出被给予 DQ 控制逻辑电路 DQCL，输出数据缓冲器驱动信号 QSE。

另一方面，延迟补偿电路 DC2 的构成是，被给予时钟 CLKCp，并被提供电源电压 VDD 动作，具备具有和 DQ 控制逻辑电路 DQCL 大致相同的延迟特性的等效电路构成，还包含具有和 DQ 控制逻辑电路 DQCL 相同特性的晶体管。因而，从延迟补偿电路 DC2 输出的时钟 CLKCp，受到电源电压 VDD 变动的影响，或者受到和构成 DQ 控制逻辑电路 DQCL 的晶体管同样的制造工艺等变动的影响而延迟。

CSL 脉冲发生器 CSLPG，被提供电源电压 VDD，在检测到从延迟补偿电路 DC2 输出的在时钟 CLKCp 中的上升边后变为高电平，在经过比时钟 CLKCp 的脉冲宽度短的规定时间后输出恢复低电平的信号。由于使用该信号，在列译码器 CD 中，不受时钟 CLKCp 的脉冲宽度变动的影响，可以正确地实现与上升边同步的动作。

VDD/VCC 电平移位器 LS3，把从 CSL 脉冲发生器 CSLPG 输出的在脉冲中的高电平，从电源电压 VDD 移位到电源电压 VCC。

列译码器 CD，被给予从电平移位器 LS3 输出的信号，生成并输出行选择信号 CSL。

如果采用本实施方式，则排除由于从外部输入的多个电源电压独立变动产生的多个逻辑电路间延迟的不匹配，还有在使用具有多个特性的晶体管构成的逻辑电路间，各个晶体管特性因工艺变动等独立变动产生的延迟的不匹配，可以使电路动作稳定化，进而可以使电子电路高速动作。

（3）实施方式3

本发明的实施方式3，如图3所示，相当于在上述实施方式2中的列译码器CD以及DQ控制逻辑电路DQCL的输出方连接具体电路的情况。

把多条字线WL0~WL3和位线BL0~BL3配置成正交，在其交点上设置配置有存储器单元MC的存储器单元阵列MCA。

字线WL0~WL3，用通过输入行地址RA译码的行译码器RD选择其一。

在位线BL0~BL3中分别设置列选择门电路CSG0~CSG3的输入方，列选择门电路CSG0以及CSG1的输出方与数据线DQL0连接，列选择门电路CSG2以及CSG3的输出侧与数据线DQL1连接。

在数据线DQL0上，插入写入用的数据缓冲器DB0、读出用的数据缓冲器DB1并与输入输出线I/O0连接，在数据线DQL1上设置写入用的数据缓冲器DB2、读出用的数据缓冲器DB3并与输入输出线I/O1连接。

列选择门电路CSG0~CSG3，由被输入列地址CA的列译码器CD输出的列选择信号CSL选择驱动。

此外，输出缓冲器DB0~DB3，由DQ控制逻辑电路DQCL输出的数据缓冲器驱动信号QSE选择驱动。

例如，在因行译码器RD使字线WL0上升，用列译码器CD选择位线BL0，数据缓冲器DB0被激活的情况下，在与字线WL0和位线BL0的交点连接的存储器单元MC上，给予并写入从外部经由输入输出线I/O0输入的数据。在选择数据缓冲器DB1的情况下，从该存储器单元MC读出的数据被从输入输出线I/O输出到外部。

如果采用本实施方式，因为，从被提供电源电压 VCC 进行动作的列译码器 CD 输出的列选择信号 CSL，和从被提供电源电压 VDD 进行动作的 DQ 控制逻辑电路 DQCL 输出的数据缓冲器驱动信号 DQL，都受电源电压 VCC 以及 VDD 的电源变动的影响，此外都同等受到构成列译码器 CD 的晶体管的特性以及构成 DQ 控制逻辑电路 DQCL 的晶体管特性的制造工艺等的变动的影响，所以，在这些变动产生时，大致以同一时间延迟。因此，使列选择门电路 CSG0~CSG3 以及数据缓冲器 DB0~DB3 的动作定时同步，可以防止误动作。

有关用这样的实施方式 2、3 得到的作用、效果，和与上述本发明有关的半导体存储装置比较说明。

首先，对于在和本发明有关的半导体存储装置中的二个输出信号 CSL、QSE，受电源电压 VCC、VDD 的变动，或者受构成列译码器 CD 的晶体管、构成 DQ 控制逻辑电路 DQCL 的晶体管的特性变动的影响独立地延迟的情况，用表示其各自相位的图 4 说明。

原本，如图 4A 的虚线各自所示，列选择信号 CSL 和数据缓冲器驱动信号 QSE，各自的电平和电源电压 VCC、VDD 不同，而作为相位大致相同。由此，数据读出以及写入可以不受妨碍地进行。

但是，列选择信号 CSL 依赖于电源电压 VCC 相位变化，电压如果升高则相位超前，如果降低则相位滞后。同样，数据缓冲器驱动信号 QSE，依赖于电源电压 VDD 相位变化，如果电压升高则相位超前，如果降低则相位滞后。

图 4B 分别用点划线表示电源电压 VCC 变动高，电源电压 VDD 变动低的情况下信号 CSL、QSE 的相位的变化。列选择信号 CSL 向图中箭头 A1 的方向（超前）相位偏移，数据缓冲器驱动信号 QSE 向图中箭头 B1 的方向（滞后方向）相位偏移。由此，如图所示根据情况二个信号 CSL、QSE 重复的期间不存在，引起写入或者读出动作中的故障。

相反，图 4C 分别用点划线表示电源电压 VCC 变动低，电源电压 VDD 变动高的情况下信号 CSL、QSE 的相位的变化。列选择信号

CSL 向图中箭头 A2 的方向（超前）相位偏移，数据缓冲器驱动信号 QSE 向图中箭头 B2 的方向（滞后方向）相位偏移。这种情况下，也是根据情况二个信号 CSL、QSE 重复的期间不存在，引起写入或者读出动作中的故障。

即使在产生这种相位偏移的情况下，如果要确保二个信号 CSL、QSE 重复的期间，则在和本发明相关的装置中，如图 4D 中箭头所示需要扩大各个脉冲宽度。这就妨碍 DRAM 的高速动作。

与此相反，图 5 展示在上述实施方式 2、实施方式 3 中的二个信号 CSL、QSE 的相位变化。图 5A 展示信号 CSL、QSE 的原本的相位以及电压。

图 5B 展示从该状态到电源电压 VCC 下降的情况。列选择信号 CSL，如箭头 A11 所示电压降低，并且相位滞后偏移。数据缓冲器驱动信号 QSE，电压和 VDD 的电平相同没有变化，而如箭头 B11 所示相位和信号 CSL 同样滞后延迟。这是因为信号 QSE 依赖于电源电压 VCC 以及 VDD 的双方，并且特性相同的缘故。反之当电源电压 VCC 变动高的情况下，列选择信号 CSL 在电压升高的同时相位超前偏移。数据缓冲器驱动信号 QSE，在电压和 VDD 的电平相同而相位同样超前偏移。由此，任何情况都可以确保二个信号 CSL 和 QSE 间重复的期间，可以没有故障地进行读出以及写入动作。

当电源电压 VDD 下降的情况下，如图 5C 所示。数据缓冲器驱动信号 QSE，如箭头 B12 所示电压降低，并且相位滞后延迟。列选择信号 CSL，维持和 VCC 同样的电平，而如箭头 A12 所示相位和信号 QSE 同样滞后延迟。反之当电源电压 VCC 变动高的情况下，数据缓冲器驱动信号 QSE 其电压升高并且相位超前延迟。列选择信号 CSL，其电压和 VCC 是同样的电平而相位同样超前偏移。由此，确保二个信号 CSL 和 QSE 之间重复的期间，没有故障的动作。

如上所述，如果采用上述实施方式，则在从外部提供多个电源电压的电子电路或者半导体存储装置中，排除由于其电源电压独立变动产生的内部电路的延迟的不匹配，使电路动作稳定化，进而可以实现

电子电路的高速动作。这是因为依赖双方的电源电压，并且使用同样特性的晶体管的缘故。此外，在由具有多个特性的晶体管构成的电子线路或者半导体存储装置中，排除各个晶体管特性由于工序变动等独立变动产生的内部电路的延迟的不匹配，使电路动作稳定化，可以高速动作。

(4) 实施方式 4

图 6 展示本发明的实施方式 4 的半导体存储装置的构成。

本实施方式，相当于把逻辑电路以及延迟补偿电路的构成更具体化的方式。

逻辑电路 LC11、逻辑电路 LC12 分别是二进制译码电路，输出信号 1a、1b。输入该信号的逻辑电路 LC13，具备作为 AND 电路的构成。而后，这些逻辑电路 LC11~LC13，构成相对全部 4 位地址 A〈0〉~A〈3〉的二进制译码器。

向逻辑电路 LC11 的输入方，提供电源电压 VDD，插入被输入地址 A〈0〉~A〈1〉的延迟补偿电路 DC12，向逻辑电路 LC12 的输入方，提供电源电压 VCC，插入被输入地址 A〈2〉~A〈3〉的延迟补偿电路 DC11。延迟补偿电路 DC11，具有和逻辑电路 LC11 同样的由被给予电源电压 VCC 进行动作的晶体管构成的逻辑门电路（AND 电路 AN11，反向器 IN11），延迟补偿电路 DC12，具有和逻辑电路 LC12 同样的由被给予电源电压 VDD 进行动作的晶体管构成的逻辑门电路（AND 电路 AN12，反向器 IN12）。

而后，延迟补偿电路 DC11 具有产生和逻辑电路 LC11 大致相同的延迟时间的电气等效构成，延迟补偿电路 DC12 具有产生和逻辑电路 LC12 大致相同的延迟时间的电气等效构成。延迟补偿电路 DC11 和逻辑电路 LC11、延迟补偿电路 DC12 和逻辑电路 LC12，各自在逻辑上不同。但是，各自的延迟特性相等。

说明本实施方式中的动作。在本实施方式中，每 2 位的地址 A〈0〉~A〈1〉经由延迟补偿电路 DC12 输入到逻辑电路 LC11，地址 A〈2〉~A〈3〉经由延迟补偿电路 DC11 输入到逻辑电路 LC12，在逻辑电路

LC13，进行逻辑运算，输出 16 位的信号：字线单位 WL 地址 $A\langle 0 \rangle \sim A\langle 15 \rangle$ 。由此，如果输入具有组合某些值的地址 $A\langle 0 \rangle \sim A\langle 3 \rangle$ ，则通过选择某一字线电位 WL 变为逻辑值 “1”，另一字线电位 WL 变为逻辑值 “0”。

图 7A 展示本实施方式中的地址 $A\langle 0: 3 \rangle$ 的波形变化，图 7B 展示信号 1a: $A\langle 0 \rangle$ 和 $A\langle 1 \rangle$ 的波形变化，图 7C 展示信号 2a: $A\langle 2 \rangle$ 和 $A\langle 3 \rangle$ 的波形变化，图 7D~7E 展示字线电位: $WL\langle 15 \rangle$ 、 $WL\langle 0 \rangle$ 、 $WL\langle 3 \rangle$ 的波形变化。

首先，考虑地址 $A\langle 0: 3 \rangle$ 如图 7 所示，在时刻 t_1 中同时从逻辑值 “0” 向 “1” 变化，在经过规定时间后同时从 “1” 变为 “0” 时变化的情况。

逻辑电路 LC11 的输出信号 1a，如图 7B 所示的波形那样，在延迟时间 τ_1 经过的时刻 t_2 中从逻辑值 “0” 向 “1” 变化，其后从 “1” 向 “0” 变化。同样，逻辑电路 LC12 的输出信号，如图 7C 所示的波形那样，在延迟时间 τ_2 经过的时刻 t_2 中逻辑值从 “0” 向 “1” 变化，其后从 “1” 向 “0” 变化。

从被给予这些输出信号 1a、2a 的逻辑电路 LC13 输出的例如字线电位 $WL\langle 15 \rangle$ ，如图 7D 所示，进而在延迟时间 τ_3 经过的时刻 t_3 中从逻辑值 “0” 向 “1” 变化，其后从 “1” 向 “0” 变化。信号 $WL\langle 0 \rangle$ 如图 7E 所示，在时刻 t_3 中从逻辑值 “1” 向 “0” 变化，其后，从 “0” 向 “1” 变化。字线电位 $WL\langle 3 \rangle$ ，如图 7F 所示，维持逻辑值 “0”。

但是，该图 7A~7F 中分别所示的输入输出信号的波形都是理想的波形，在来自逻辑电路 LC11 的输出信号 1a 中产生的延迟时间 τ_1 ，和在来自逻辑电路 LC12 的输出信号 2a 中产生的延迟时间 τ_2 相等，在定时中不产生偏差。但是，如果在电源电压和晶体管特性中产生变动，则如上所述在和本发明有关的装置中，在延迟时间 τ_1 、 τ_2 之间不产生偏差。

如图 8A 所示，在输入和图 7A 一样的地址 $A\langle 0: 3 \rangle$ 的情况下，

来自逻辑电路 LC11 的输出信号 1a，如图 8B 所示的波形那样，假设和图 7B 一样，只延迟时间 $\tau 1$ ，从时刻 t_2 开始上升。

但是，电源电压 VDD 降低是原因之一，来自逻辑电路 LC12 的输出信号 2a: A 〈2〉 和 A 〈3〉，如图 8C 的波形所示，和图 7C 所示的波形不同，不仅在时间 $\tau 2$ 而其只在 $\Delta \tau 2$ 从进一步检测的时间 t_2 开始上升。

其结果，在原本应该同步的逻辑电路 LC11 和 LC12 之间产生不匹配。而后，从输入定时偏差的二个输出信号 1a: A 〈0〉 和 A 〈1〉，和输出信号 2a: A 〈2〉 ~ A 〈3〉 的逻辑电路 LC13 输出的字线电位 WL 〈15〉，如图 8D 的波形所示，和图 7D 所示的波形不同，在从时刻 t_3 延迟的时刻 t_4 中，从逻辑“0”向逻辑“1”上升。由此，该波形其逻辑“1”期间比原本的长度短。

进而，如果产生这种不匹配，则原本字线电位 WL 〈3〉 如图 7F 的波形那样，必须维持逻辑“0”，而如图 8F 的波形那样，还产生误输出逻辑值“1”的现象。

进而如果不匹配变大，则在来自逻辑电路 LC11 的输出信号 1a 和来自逻辑电路 LC12 的输出信号 2a 之间没有重复的期间，还会引起来自逻辑电路 13 的输出信号: 字线电位 WL 〈15〉 的波形维持在逻辑“0”的现象。因而，在和本发明有关的电路中，不能期望在宽范围的电源电压的范围中稳定动作。

解决这种问题的本实施方式中的动作波形展示在图 9 中，如图 9A 所示，在输入和图 7A 同样的地址 A 〈0: 3〉 的情况下，来自逻辑电路 LC11 的输出信号 1a: A 〈0〉 和 A 〈1〉，如图 9B 的波形 1b 那样，因电源电压 VCC 以及 VDD 变动以及晶体管特性的变动而延迟上升。

同样，来自逻辑电路 LC12 的输出信号 2a: A 〈2〉 和 〈3〉，如图 9B 的波形那样，因电源电压 VCC 以及 VDD 变动以及晶体管特性的变动而延迟上升。

进而，逻辑电路 LC13 的输出信号: 字线电位 WL 〈15〉、WL 〈0〉，如图 9D、9E 所示，因电源电压 VCC 以及 VDD 变动和晶体管

特性的变动而分别变化。

用简单的公式说明这时的延迟时间。在电源电压和晶体管特性不产生变动的状态下的逻辑电路 LC11 中的标准延迟时间用 $\tau 1$ 表示，因高电源电压 VCC 的变动和高电压用晶体管的特性变动中产生的延迟时间用 $\Delta \tau 1$ 表示。同样，在电源电压和晶体管特性不产生变动的状态下的逻辑电路 LC12 中的标准延迟时间用 $\Delta \tau 2$ 表示。在低电源电压 VDD 的变动和低电压用晶体管的特性变动产生的延迟时间用 $\Delta \tau 2$ 表示。

这种情况下的逻辑电路 LC11 的延迟时间为 $\tau 1 + \Delta \tau 1$ ，和该逻辑电路 LC11 延迟特性相同的延迟补偿电路 DC12 的延迟时间同样为 $\tau 1 + \Delta \tau 1$ 。逻辑电路 LC12 的延迟时间为 $\tau 2 + \Delta \tau 2$ ，和该逻辑电路 LC12 延迟特性相同的延迟补偿电路 DC12 的延迟时间同样为 $\tau 2 + \Delta \tau 2$ 。

这时，从 2 位地址 A {0: 1} 的逻辑值变换后到逻辑电路 LC11 的输出信号的逻辑值变化前的时间，可以用 $(\tau 2 + \Delta \tau 2) + (\tau 1 + \Delta \tau 1)$ 表示。同样，从 2 位的地址 A {2: 3} 的逻辑值变换后到逻辑电路 LC12 的输出信号的逻辑值变化前的时间，变为 $(\tau 1 + \Delta \tau 1) + (\tau 2 + \Delta \tau 2)$ 。

如此式所示，逻辑电路 LC11 的输出信号 1a 的延迟时间和逻辑电路 LC12 的输出信号 2a 的延迟时间，即使在高电源电压 VCC、低电源电压 VDD 的只一方变动的情况下，以及/或者高电压用晶体管、低电压用晶体管的特性的只一方变动的情况下，也相互相等。

进而，在假设电源电压和晶体管特性不产生变动的状态下的逻辑电路 LC13 中的标准延迟时间用 $\tau 3$ 表示，提供给该电路 LC13 的电源电压（在本实施方式中是高电源电压 VCC）的变动和高电压用晶体管的特性变动中产生的延迟时间用 $\Delta \tau 3$ 表示的情况下，来自该逻辑电路 LC13 的输出信号：字线电位 WL {0: 15} 的延迟时间，在未产生变动的情况下是 $\tau 1 + \tau 2 + \tau 3$ ，在产生变动的情况下是 $\Delta \tau 1 + \Delta \tau 2 + \Delta \tau 3$ 。

在逻辑电路 LC13 的输出中的，不变动的情况下 的延迟时间，以 及变动产生的延迟时间，与插入延迟补偿电路 DC11、DC12 前相比增 大。但是，由此产生的不利，与用高电压用晶体管构成电路全体的情 况，或者以低电压用晶体管构成的情况相比小。

如果采用这种本实施方式，则即使由于电源电压和晶体管特性的 变动，在逻辑电路 LC11 中的延迟时间和逻辑电路 LC12 中的延迟时 间之间产生不匹配的情况下，由于具有被设置在各自输入方的延迟补 偿电路 DC12、DC11 的作用，不匹配被消除，不产生来自逻辑电路 LC13 的输出信号的波形变细或者消失的问题。此外，也不会发生要维 持原本逻辑“0”的输出信号变为逻辑值“1”的现象。

(5) 实施方式 5

有关本发明的实施方式 5，用表示其构成的图 10 说明。

本实施方式，相当于在上述实施方式 4 中，在把低电压信号线连 接到高电压的电路时，在其间插入 VDD/VCC 电平移位器的情况。目 前，一般作为高电源电压 VCC 使用 2.5V，作为低电源电压 VDD 使用 1.5V。这种情况下，如果把用 1.5V 驱动的信号线连接到用 2.5V 驱动 的 CMOS 电路上，则 P 沟道晶体管并未处于完全截止状态，电流继续 流过。为了避免这种情况，需要把信号线的电位升压变化为 2.5V 的 VDD/VCC 电平移位器。

但是，电平移位器一般多是利用 P 沟道晶体管和 N 沟道晶体管的 电流驱动力比的电路，在这种构成中延迟时间受高电源电压 VCC 和低 电源电压 VDD 的电源变动的影响大。

因而在本实施方式中，如图 10 所示，在被提供高电源电压 VCC 的逻辑电路 LC11 的输入一方插入电平移位器 LS12，进而在被插入在 逻辑电路 LC12 的输入一方的延迟缓冲电路 DC11 的输入一方插入电 平移位器 LS11。在此，因为二个电平移位器 LS11、LS12 电路构成等 效，所以对于电源电压 VCC 的变动和晶体管特性的变动始终产生相互 相等的延迟时间。因而，即使把这样的电平移位器 LS11、LS12 分别 插入逻辑电路 LC12、LC11 的输入侧，也不会在延迟时间中产生不匹

配。

(6) 实施方式 6

有关本发明的实施方式 6 的半导体存储装置，用图 11 说明。本实施方式，是把本发明适用在 DRAM 中的例子，在三个逻辑电路 LC31~LS33 中，逻辑电路 LC31 相当于行译码器，逻辑电路 LC32 相当于读出放大器控制电路，逻辑电路 LC33 相当于存储器阵列以及读出放大器。

而后，和上述实施方式 5 一样，在逻辑电路 LC31 的输入一方，串联插入延迟补偿电路 DC32、VDD/VCC 电平移位器 LS32，在逻辑电路 LC2 的输入一方，串联插入 VDD/VCC 电平移位器 LS31、延迟补偿电路 DC31。

在此，延迟补偿电路 DC31，具备具有和逻辑电路 LC31 等效的延迟特性的构成，延迟补偿电路 DC32，具备具有和逻辑电路 LC32 等效的延迟特性的构成。此外电平移位器 LS31、LS32 具备同一电路构成。在延迟补偿电路 DC31 中，在其一部分中包含 VCC/VDD 电平移位器 LS33。

在被包含在逻辑电路 LS33 中的存储器单元中，1 个 DRAM 单元有 1 个 N 沟道晶体管 Tr 和 1 个电容器 CP 组成，被连接在电容器 CP 一端上的存储节点 SN 经由 N 沟道晶体管 Tr 与位线 BL 连接。在该构成中，为了传送位线 BL 的高电平，必须把栅极电位设置成比源极电位至少高晶体管 Tr 的阈值电压 V_{th} 。

例如，在最近的技术中，有把位线 BL 的高电平设置成 1.5V，把字线 WL 的高电平设置成 3.0V 的例子。这种情况下，构成逻辑电路的低电压用晶体管以低单元电压 1.5V 为最佳。栅极氧化膜厚度被微细化至 3nm，沟道长度被微细化至 100nm，由此构成的 CMOS 栅极的信号传递延迟被高速化至 30p 秒。

另一方面，构成 DRAM 单元阵列的 N 沟道晶体管 Tr，以及构成逻辑电路 LC1(行译码器)的晶体管是高电压晶体管，高电源电压 3.0V 为最佳。这种情况下的栅极氧化膜厚度为 6nm，沟道长度为 200nm。

如果假设只用低电压用晶体管构成 DRAM，则这种情况下的行译码器 RD 和存储器单元阵列 MCA，变为如图 13 所示的构成。在 1 个存储器单元中，需要使用 N 沟道晶体管 NTr 以及 P 沟道晶体管 PTR，和 1 个电容器 CP。其结果，必须配置正负逻辑的成对的字线 WL_n 以及 WL_p。由此，存储器单元阵列的面积大幅度增大。因而，即使在局部使用了例如对微细化不利的高电压用晶体管，也可以设置成简易构成的本实施方式的电路一方，可以高集成化。

以下，说明本实施方式中的动作定时。图 12 展示本实施方式中的各信号的动作波形。在本实施方式中，在逻辑电路 LC33 的存储单元以及读出放大器中，需要连接高电压的信号线（字线 WL_(0:3)），和低电压的信号线（读出放大器控制线 SEPn、SENp），需要确保两者动作定时的匹配性。

与具有图 12A 所示的波形的定时信号 RASp 同步，逻辑电路 LC31、LC32、LC33 的定时同步。

如果定时信号 RASp 变为高电平，则经由延迟补偿电路 DC32、VDD/VCC 电平移位器 LS32，生成图 12B 所示的行译码器控制信号 RSTp 并给予逻辑电路 LC31。

根据被输入到逻辑电路 LC31 的行地址 RAt₍₀₎，RAc₍₀₎，RAt₍₁₎，RAc₍₁₎ 的电平，如图 12 所示 4 条字线 WL 中的其中 1 条变为高电平。在此，字线 WL 如上所述上升至 3.0V。

由于其中 1 条字线 WL 变为高电平，因而存储器单元的存储节点 SN 和位线 BL 被电气连接，根据被存储在存储单元中的电荷量，在位线对 BLt 和 BLc 之间产生微小的电位差。

其后，从逻辑电路 LC32 输出的读出放大器控制信号 SENp 以及 SEPn 如图 12B 所示变为高电平，被包含在逻辑电路 LC33 中的读出放大器被激活。位线对 BLt、BLc 的电位差被放大，最终变为 1.5V。

此后，定时信号 RASp 如图 12A 所示与变为行译码器的定时同步，如图 12B 所示字线控制线 RSTp 恢复到低电平，如图 12C 所示上升后的字线 WL 的电位恢复到低电平。进而，由于读出放大器控制信号

SENp 恢复到低电平，因而读出放大器处于非激活状态，位线对 BLt 以及 BLc 为了以下的读出动作被预充电至 0.75V。

控制上述一连串的动作的定时的动作，在存储器的读出以及写入中非常重要。例如，在字线 WL 变为高电平后，如果读出控制信号 SENp 达到高电平前的时间间隔过短，则在位线对 BLt、BLc 之间产生的电位差过小，出现读出不良。

反之，如果两者的时间间隔过长，则恢复（数据的写入恢复动作）的时间变短，位线 BLt 不能达到 1.5V，数据的删除不良。

如果采用本实施方式，则即使在产生高电压单元 VCC、低电压电源 VDD 独立的电压变动，或者高电压用晶体管、低电压用晶体管独立的特性变动时，也可以最佳地控制上述定时，可以不引起误动作地实现高速动作。

（7）实施方式 7

用表示其构成的图 14 说明本发明的实施方式 7。

本实施方式，相当于把本发明用于在半导体存储装置中的列选择门电路 CSG41 和数据缓冲器（写入用数据缓冲器 D-BF，读出用数据缓冲器 Q-BF）的控制中的例子。

这种情况下的逻辑电路 LC41 是列译码器，逻辑电路 LC42 是脉冲发生电路 PG42 以及数据缓冲器控制电路 DBCC42，逻辑电路 LC43 是列选择门电路 CSG41 以及数据缓冲器 D-BF、Q-BF。

这些电路的连接关系，和上述实施方式 6 相同。即，定时信号 CLKp 经由延迟补偿电路 DC42、VDD/VCC 电平移位器 LS42 给予逻辑电路 LC41，定时信号 CLKp 经由 VDD/VCC 电平移位器 LS41、延迟补偿电路 DC41 给予逻辑电路 LC42，从逻辑电路 LC41 输出的列选择信号 CSLp，和从逻辑电路 LC42 输出的数据缓冲器驱动信号 DSEp、QSEp 被输入逻辑电路 LC43。

延迟补偿电路 DC41，具备具有和逻辑电路 LC41 同等的延迟特性的电气等效构成，延迟补偿逻辑电路 DC42 具备具有和逻辑电路 LC42 同等的延迟特性的电气等效构成，此外，VDD/VCC 电平移位器

LS41、LS42，具备同一电路构成。

在最近的 DRAM 中，访问列的动作是要求超过 200MHz 的高速动作。同样，为了尽量削减成本，进一步要求高集成化。为了满足这 2 个要求，最重要的是，列选择门电路的构成和其控制方法。

列选择门电路 CSG41，在读出放大器区域中，对每条位线 BL1 设置 1 条。而后，根据被输入逻辑电路（列译码器）LC41 的列地址 CA，选择 1 个列选择线 CSLp，与此连接的列选择门电路 CSG41 和对应的位线对 BLt 以及 BLc 和数据线对 DQt 以及 DQc 电气连接。

例如在最近的 16M 位混合型 DRAM 中，与 128 条数据线相对的位线的条数达到 6 万 5 千条。为了实现高集成化，要求列选择门电路是简易的构成，其一个构成例子是把 N 沟道晶体管作为开关元件使用。

但是，在此构成中，和在上述实施方式 6 中说明的用 1 个晶体管以及 1 个电容器构成的 DRAM 单元的情况相同，必须把列选择信号线 CSLp 的电压提高到存储器的晶体管的阈值 V_{th} 以上。由此，列选择信号线 CSLp，变为高电压线。

另一方面，驱动 128 条数据线的写入用数据缓冲器 D-BF 以及读出用数据缓冲器 Q-BF 为了实现高速动作，希望用低电源电压以低电压用晶体管构成。

在此，需要使高电压线的列选择信号 CSL 和低电压线的数据缓冲器驱动线 DSEp、QSEp 的驱动定时一致。

图 15 展示这种情况下的动作波形，说明本实施方式中的动作。与具有图 15A 所示的波形的定时信号 CLKp 同步，该 DRAM 动作。如果定时信号 CLKp 变为高电平，则经由延迟补偿电路 DC42、电平移位器 LS42 生成图 15C 所示的列译码器控制信号 CSLEp，并被输入逻辑电路 LC41（列译码器）。

与该信号 CSLEp 同步，根据被输入逻辑电路 LC41 的列地址 CA_t (0), CA_c (0), CA_t (1), CA_c (1)，如图 15C 所示，1 条列选择信号线 CSLp 变为高电平。在此，列选择信号线 CSLp，如上所述达到 2.5V 这一高的电位。

由于列选择信号线 CSLp 变为高电平，因而位线对 BLt、BLc 和数据线对 DQt、DQc 被电气连接。

与此同时，从逻辑电路 LC42 输出的，使写入用数据缓冲器 D-BF，或者读出用数据缓冲器 Q-BF 激活的数据缓冲器驱动信号线 DSEp，或者 QSEp 变为高电平。该动作，最近可以在 1~2ns 完成。此外，如果在该状态下放置则也会产生多余的贯通电流，把列选择信号线 CSL 以自匹配非激活，包含在逻辑电路 LC2 中的脉冲发生电路 PG42 控制用于同时使写入用数据缓冲器 D-BF、读出用数据缓冲器 Q-BF 非激活的定时。

和上述实施方式 6 一样，即使在本实施方式中控制上述的一连串的动作的定时也非常重要。为了实现高速动作，需要缩短脉冲宽度。例如，为了实现 200MHz 的动作，如果考虑元件的特性离散和起伏，脉冲宽度的设定值必须在 2ns 以下。

在另一方面，脉冲宽度过短，还会引起动作不良。在读出动作中，如果在数据线中不产生充分的电位的阶段使读出用数据缓冲器 Q-BF 动作，则出现读出不良。此外，在写入动作中，不能使位线对 BLt、BLc 的电位的高低关系反转从而出现写入不良。在引起这种动作不良的原因中，除了脉冲宽度过短的情况以外，列选择信号线 CSLp 和数据缓冲驱动信号 QSEp、DSEp 之间的定时的不匹配也是原因。

与此相反，如果采用本实施方式，则即使在因二个电源电压 VCC、VDD 独立变动，或者构成两者的高电压用晶体管、低电压用晶体管的特性独立地离散的情况下，也可以确保从逻辑电路 LC 输出的列选择信号 CSLp，和从逻辑电路 LC2 输出的数据缓冲器驱动信号 QSEp 以及 DSEp 的定时匹配性。由此，可以不需要对脉冲宽度和延迟时间等有充分的富余，可以实现稳定的电路动作。

上述的实施方式都只是一个例子，并不限定本发明。例如，在上述第 2~第 7 的实施方式中以 DRAM 为例说明。但是，本发明并不限于 DRAM，还可以广泛地适用于具有被提供多个电源电压动作，并且需要同步动作的二个电路的装置。

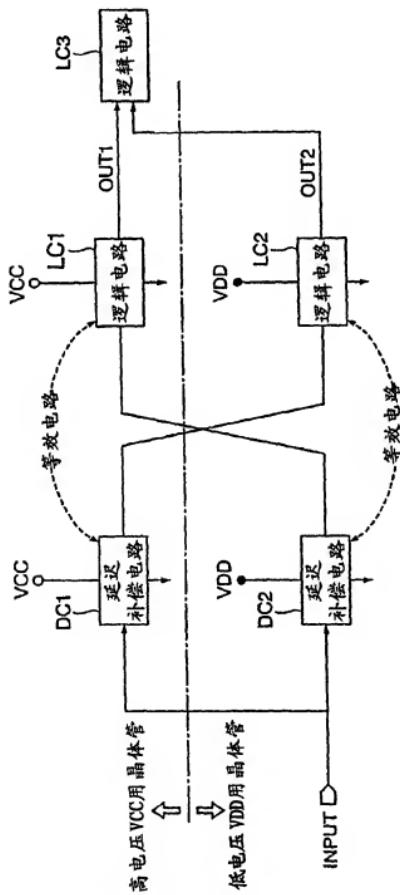
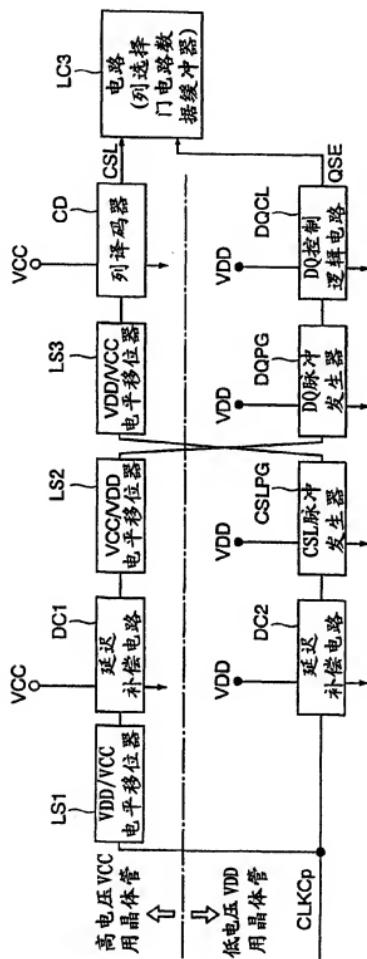


图 1



2

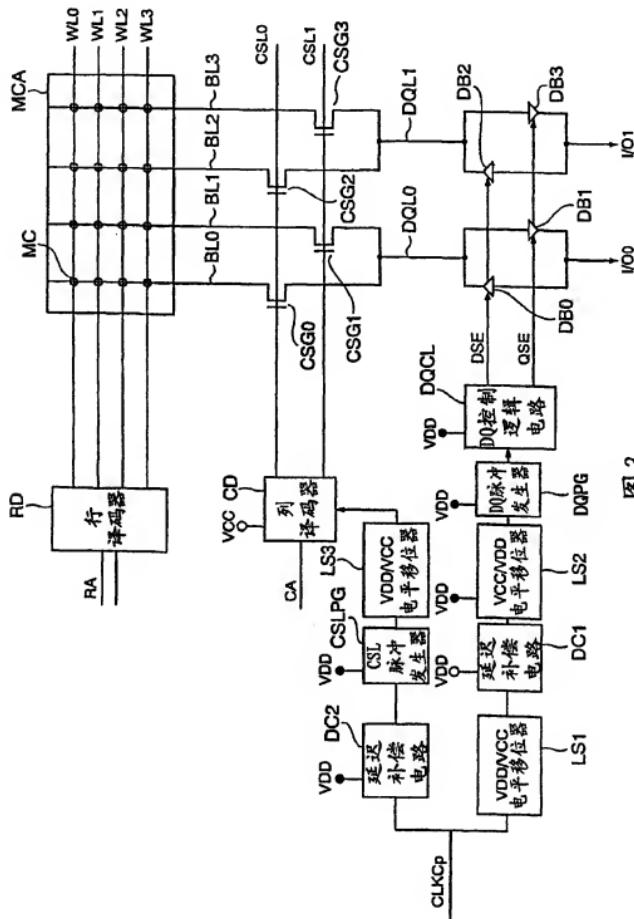
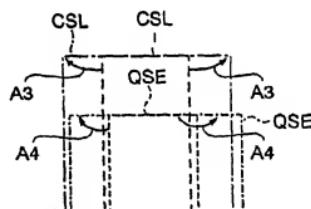
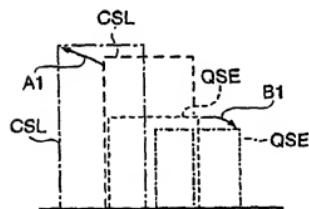
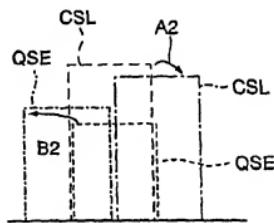
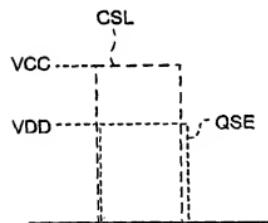


图3



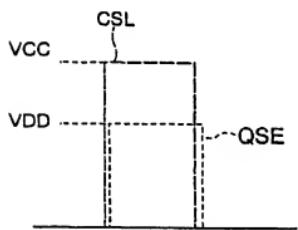


图 5A

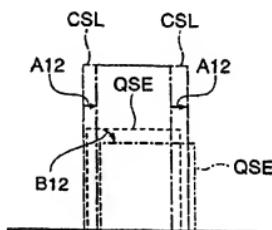


图 5C

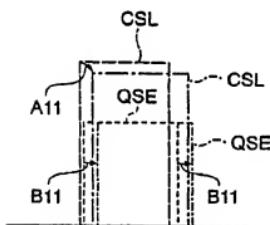


图 5B

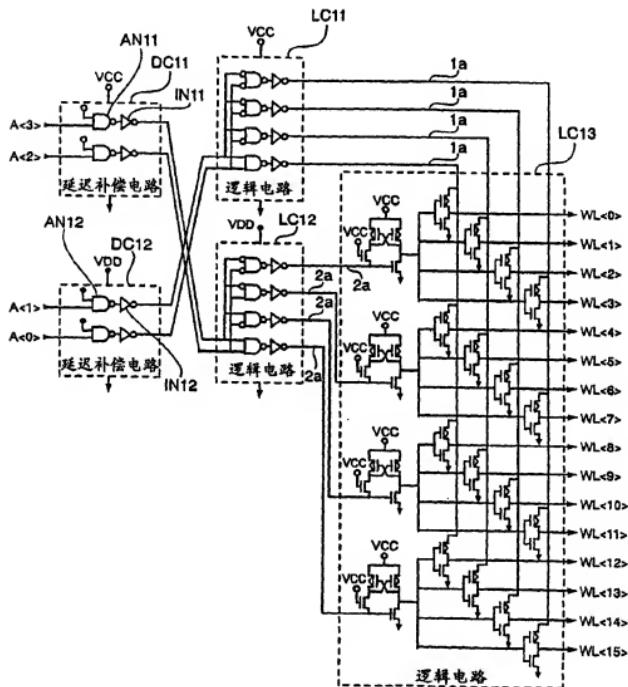


图 6

图 7A

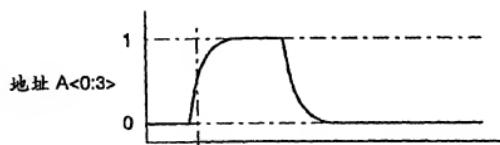


图 7B

地址 A<0> 和 A<1>

图 7C

地址 A<2> 和 A<3>

图 7D

字线 WL<15>

图 7E

字线 WL<0>

图 7F

字线 WL<3>

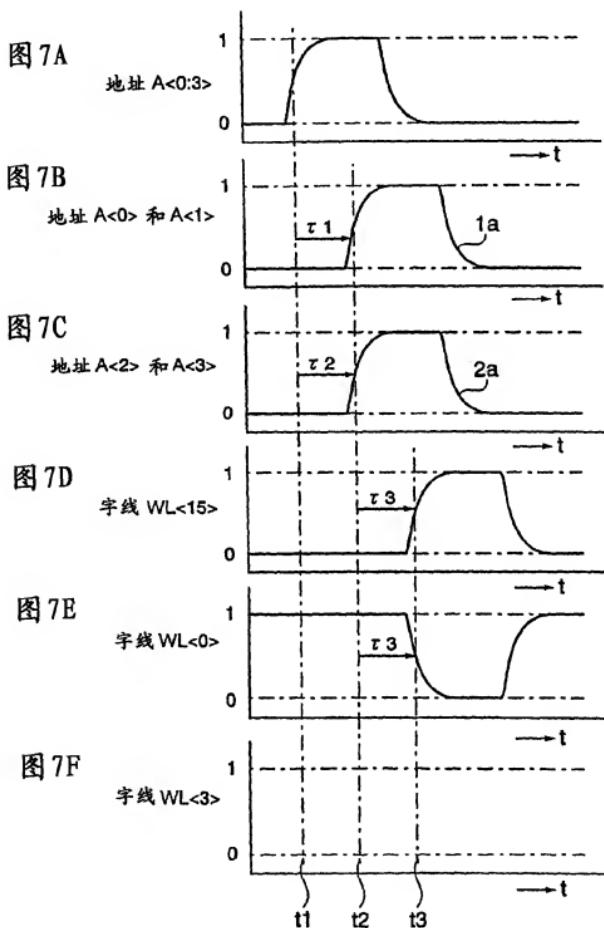


图 8A

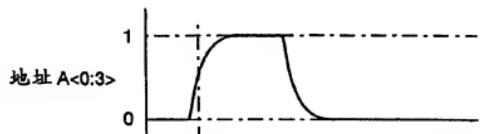


图 8B

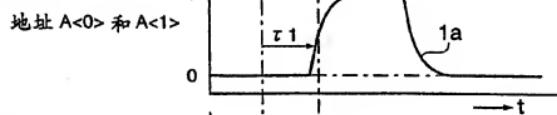


图 8C

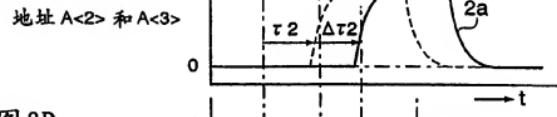


图 8D

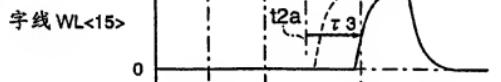


图 8E

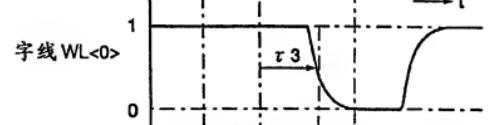


图 8F



图 9A

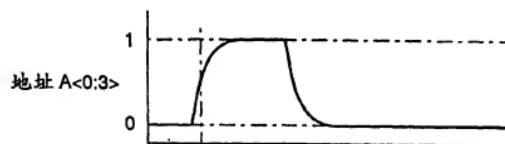


图 9B

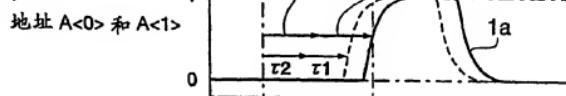


图 9C

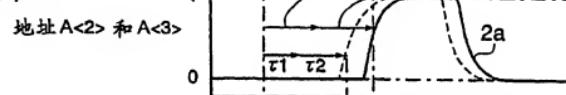


图 9D

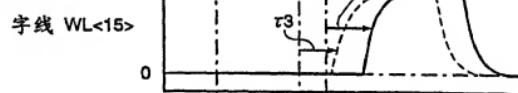


图 9E

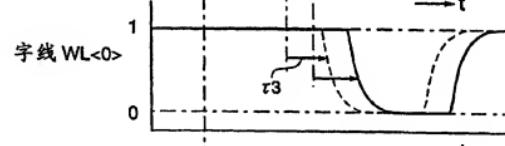
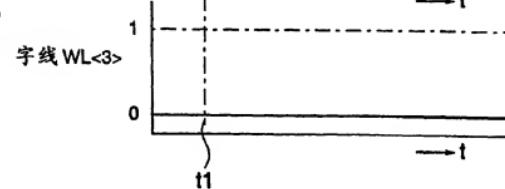


图 9F



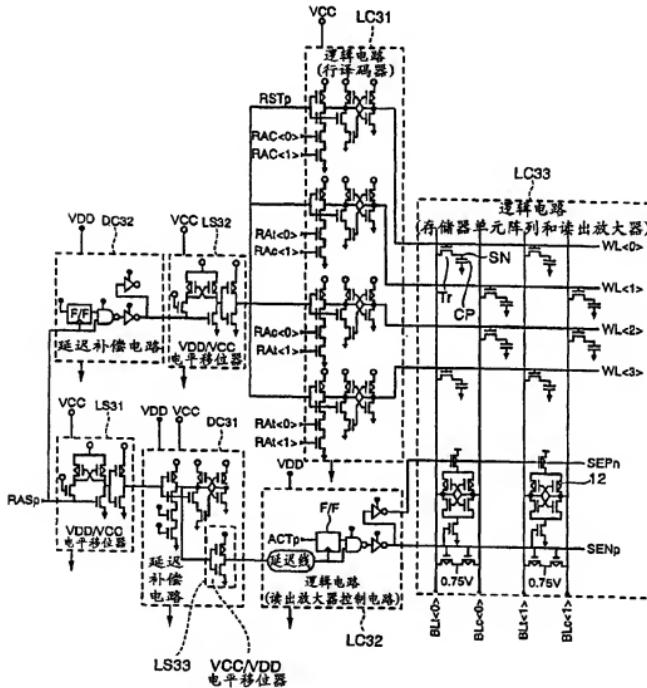


图 10

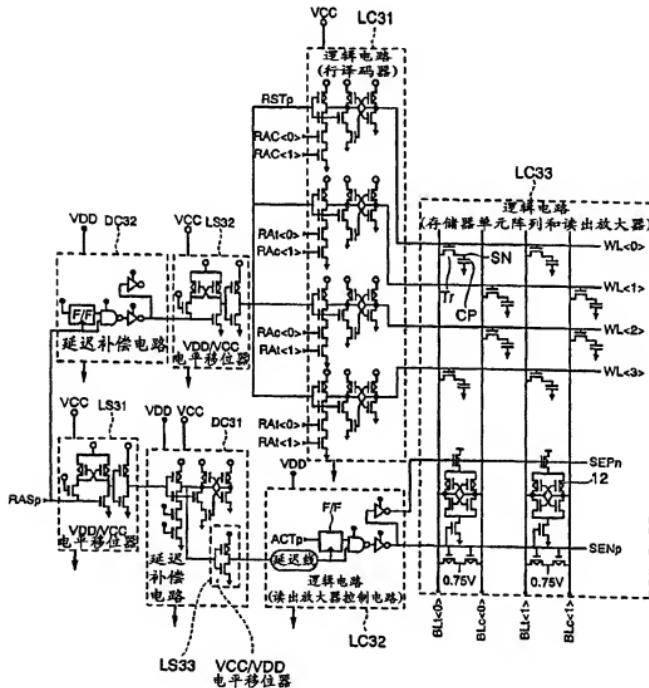


图 11

图 12A

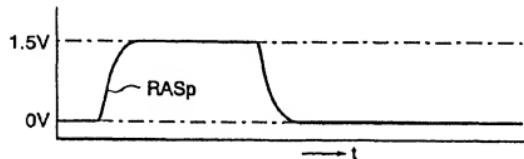


图 12B

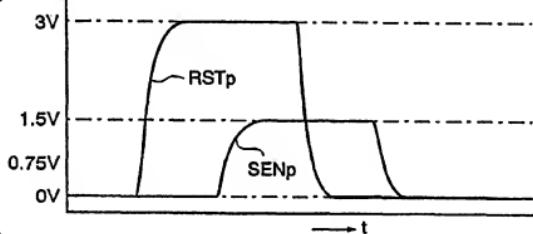
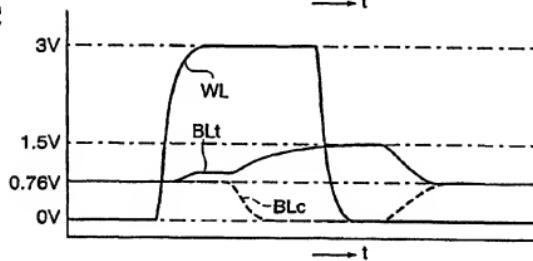


图 12C



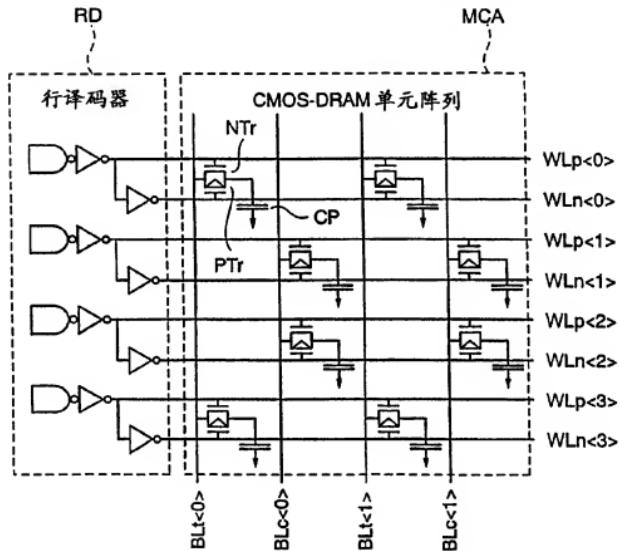


图 13

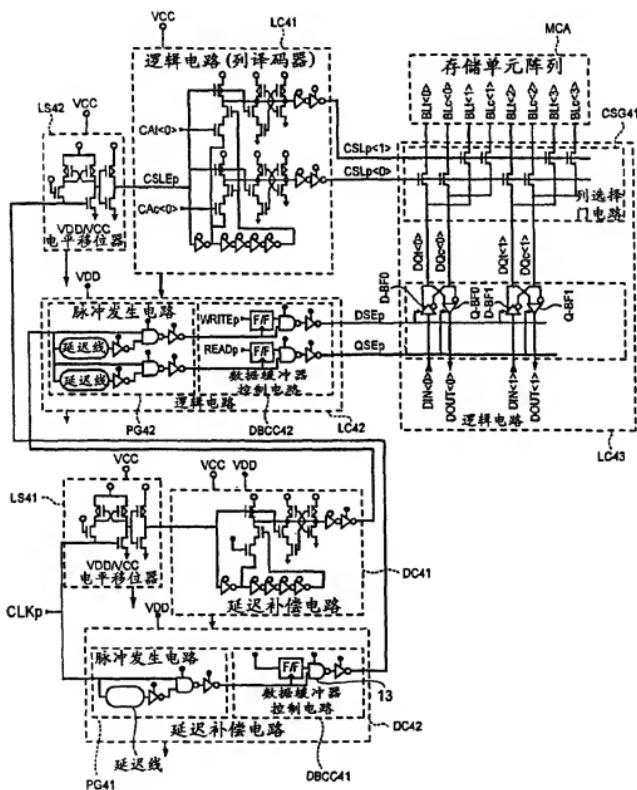


图 14

图 15A

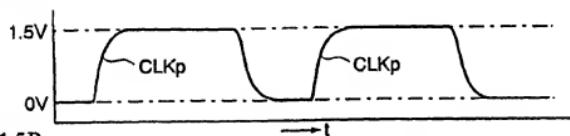


图 15B

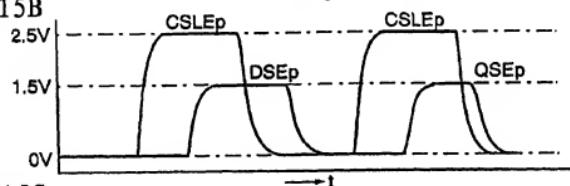


图 15C

